

RECD 15 APR 2003  
WIPO PCT

10/539223  
PCT/KR 03/00599  
RO/KR 26.03.2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

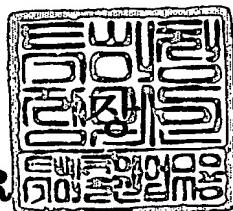
출 원 번 호 : 10-2003-0000757

Application Number

출 원 년 월 일 : 2003년 01월 07일  
Date of Application JAN 07, 2003

출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 03 월 26 일



특 허 청

COMMISSIONER

**PRIORITY DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.01.07
【발명의 명칭】	박막 트랜ジ스터 기판 및 박막 트랜ジ스터 기판의 금속배선 형성방법
【발명의 영문명칭】	THIN FILM TRANSISTOR SUBSTRATE AND METAL WIRING METHOD THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근, 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	조범석
【성명의 영문표기】	CHO,BEOM SEOK
【주민등록번호】	730605-1030312
【우편번호】	150-811
【주소】	서울특별시 영등포구 대림3동 607-1번지 코오롱아파트 101동 2402호
【국적】	KR
【발명자】	
【성명의 국문표기】	정창오
【성명의 영문표기】	JEONG, CHANG OH
【주민등록번호】	620220-1140615
【우편번호】	442-707
【주소】	경기도 수원시 팔달구 망포동 벽산아파트 111동 1001호
【국적】	KR



**【요약서】****【요약】**

본 발명은 박막 트랜지스터 기판 및 박막 트랜지스터 기판의 금속배선 형성방법에 관한 것으로서, 더욱 상세하게는 기판과 금속배선 사이에 자기조립단분자층을 포함하는 것을 특징으로 하는 박막 트랜지스터 기판 및 박막 트랜지스터 기판의 금속배선 형성방법에 관한 것이다.

본 발명의 박막 트랜지스터 기판은 Si 계면과 금속배선 사이에 3차원 망상 (cross-linked) 구조의 자기조립단분자층을 포함하고 있어 접착력이 우수하고 확산방지력이 우수하다.

**【대표도】**

도 1b

**【색인어】**

자기조립단분자층, 금속배선

**【명세서】****【발명의 명칭】**

박막 트랜지스터 기판 및 박막 트랜지스터 기판의 금속배선 형성방법{THIN FILM TRANSISTOR SUBSTRATE AND METAL WIRING METHOD THEREOF}

**【도면의 간단한 설명】**

도 1a 내지 1b는 Si 계면과 Cu 사이에 확산방지막이 형성되어 있는 구리 또는 구리합금 배선구조를 나타낸 도면이고,

도 2a 내지 2d는 각각 열처리 전과 300 °C 열처리 후의 Si 계면과 Cu 또는 Cu(Ag) 사이에 자기조립단분자층이 형성된 구리(Cu) 배선의 오저분석 결과의 텁스 프로파일(depth profile)을 나타낸 도면이고,

도 3은 자기조립단분자층 상부의 구리 또는 구리합금의 온도에 대한 비저항 변화를 나타낸 그래프이고,

도 4a 및 4b는 본 발명의 액정 표시 장치용 박막 트랜지스터 기판이고,

도 5a 및 5b는 각각 도 4a 및 4b의 V-V' 선에 대한 단면도이고,

도 6a, 7a, 8a 및 9a는 본 발명의 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정을 그 공정 순서에 따라 도시한 박막 트랜지스터 기판의 배치도이고,

도 6b는 도 6a에서 VIb-VIb' 선에 대한 단면도이고,

도 7b는 도 7a에서 VIIb-VIIb' 선에 대한 단면도로서 도 6b의 다음 단계를 도시한 단면도이고,

도 8b는 도 8a에서 VIIib-VIIIf' 선에 대한 단면도로서 도 7b의 다음 단계를 도시한 단면도이고,

도 9b는 도 9a에서 IXb-IXf' 선에 대한 단면도로서 도 8b의 다음 단계를 도시한 단면도이고,

도 10은 본 발명의 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 11은 도 10의 XI-XIf' 선에 대한 단면도이고,

도 12는 도 10의 XII-XIf' 선에 대한 단면도이고,

도 13a는 본 발명의 박막 트랜지스터 기판의 배치도이고,

도 13b 및 13c는 각각 도 13a에서 XIIIb-XIIIIf' 선 및 XIIIc-XIIIIf' 선에 대한 단면도이며,

도 14a 및 14b는 각각 도 13a에서 XIIIIf-XIIIIf' 선 및 XIIIc-XIIIIfc' 선에 대한 단면도로서, 도 13b 및 도 13c 다음 단계에서의 단면도이고,

도 15a는 도 14a 및 14b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 15b 및 15c는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선에 대한 단면도이며,

도 16a, 17a, 18a와 도 16b, 17b, 18b는 각각 도 15a에서 XVb-XVb' 선 및 XVc-XVc' 선에 대한 단면도로서 도 15b 및 15c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 19a 및 도 19b는 도 18a 및 18b 다음 단계에서의 박막 트랜지스터 기판의 단면도이고,

도 20a는 도 19a 및 도 19b의 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 20b 및 20c는 각각 도 20a에서 XXb-XXb' 선 및 XXc-XXc' 선에 대한 단면도이다.

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<23> [산업상 이용 분야]

<24> 본 발명은 박막 트랜지스터 기판 및 박막 트랜지스터 기판의 금속배선 형성방법에 관한 것으로서, 더욱 상세하게는 기판과의 접착력 및 확산방지력이 우수한 박막 트랜지스터 기판 및 박막 트랜지스터 기판의 금속배선 형성방법에 관한 것이다.

<25> [종래 기술]

<26> 박막 트랜지스터(Thin Film Transistor; TFT)는 초박형의 액정 표시장치(TFT Liquid crystal display)의 스위칭 소자로 널리 사용되는 디바이스(device) 중의 하나이다.

<27> 박막 트랜지스터 기판은 주사 신호를 전달하는 주사 신호 배선 또는 게이트 배선과 화상 신호를 전달하는 화상 신호선 또는 데이터 배선이 형성되어 있고, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 홀소 전극, 게이트 배선을 덮어 절연하는 게이트 절연막 및 박막 트랜지스터와 데이터 배선을 덮어 절연하는 보호막 등으로 이루어져 있다. 박막 트랜지스터는 게이트 배선의 일부인 게이트 전극과 채널을 형성하는 반도체층, 데이터 배선의 일부인 소스 전극과 드레인 전극 및 게이트 절연막과 보호막 등으로 이루어진다. 박막 트랜지스터는 게이트 배선을 통하여 전달되는 주사 신호에 따라 데이터 배선을 통하여 전달되는 화상 신호를 홀소 전극에 전달 또는 차단하는 스위칭 소자이다.

- <28> 상기 박막 트랜지스터를 스위칭 소자로 이용하는 초박형의 액정 표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 액정에 전기장을 인가하여 액정의 분자 배열의 방향을 제어하여 화상을 구현하는 원리를 채용하고 있다.
  - <29> 특히 최근에 활발히 연구, 개발되고 있는 능동행렬 액정 표시장치(Active Matrix LCD; AMLCD)는 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열되어 있어 18인치 이상의 SXGA 또는 UXGA 등과 같이 대면적화, 고해상도화 되어 가고 있다.
  - <30> 상기 SXGA 또는 UXGA 등과 같은 대면적 및 고해상도의 액정 표시장치를 제조하기 위해서는 게이트 배선, 데이터 배선 등과 배선의 재질의 저항이 낮아야 한다. 특히 상기 게이트 배선의 배선 저항이 높으면 배선 저항에 의한 신호 지연(signal delay)으로 발생하는 상호 간섭(cross-talk) 현상으로 인하여 화질이 저하되는 문제점이 있다. 배선으로 사용될 수 있는 금속의 종류와 그 특징을 하기 표 1에 나타내었다.

<31> [豆 1]

금속	비저항( $\mu\Omega\text{-cm}$ )	가격	접착력	내열성
Cu	2	낮음	낮음	높음
Au	3	높음	낮음	높음
Al	4	낮음	높음	낮음
Mo	20	보통	높음	높음
Cr	50	보통	높음	높음

- <32> 상기 표 1에 나타난 바와 같이, 알루미늄은 내열성이 낮은 단점이 있고 구리는 가격 및 내열성 측면에서는 모두 만족스러우나 기판과의 접착력이 낮다는 문제점이 있다. 따라서 구리의 기판과의 접착력을 높이기 위한 연구, 개발이 활발히 진행되고 있다.

<33> 특히 구리 단독으로보다는 구리합금의 형태를 널리 사용하고 있으며 그 대표적인 구리 합금 배선구조는 Cu/Ti/Si, Cu/TiN/Si, Cu/Ta/Si, Cu/TaN/Si 등과 같다. 그러나 이 구

리합금 배선구조의 제조공정은 복잡하고 Si와 Cu의 접착력이 약하고 확산방지막의 두께가 두껍고 열처리시 확산방지막과 Cu의 부반응이 발생한다는 문제점이 있다.

<34> 최근에는 특히 구리와 은의 합금으로 배선을 형성하는 방법이 널리 사용된다. 그러나 은은 유리 기판이나 규소층 등에 대하여 접착력이 약하다는 문제점을 가지고 있다. 접착력이 약하면 세정 등의 후속 공정에서 박막이 들뜨거나 벗겨지게 되어 배선이 끊어지는 등의 불량이 빈발한다. 또한 은은 질화규소 등으로 이루어진 절연막을 식각하는 과정에서 건식 식각재에 의하여 쉽게 손상되는 문제점도 가지고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<35> 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 기판과의 접착력이 우수하고 확산방지력이 우수한 박막 트랜지스터 기판을 제공하는 것이다.

<36> 본 발명의 다른 목적은 상기 박막 트랜지스터 기판을 포함하는 액정표시장치를 제공하는 것이다.

<37> 본 발명의 또 다른 목적은 상기 박막 트랜지스터 기판의 금속배선 형성방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<38> 상기 목적을 달성하기 위하여, 본 발명은 기판과 금속배선 사이에 자기조립단분자층을 포함하는 것을 특징으로 하는 박막 트랜지스터 기판을 제공한다.

<39> 본 발명은 또한 상기 박막 트랜지스터 기판을 포함하는 액정표시장치를 제공한다.

<40> 본 발명은 또한 (a) 기판 상부에 자기조립단분자층(Self Assembled Monolayers; SAMs) 형성용 코팅 조성을 코팅하고 열처리하여 자기조립단분자층을 형성하는 단계; (b) 상

기 기판 상부에 금속배선물질을 증착하는 단계; 및 (c) 상기 금속배선물질이 증착된 기판을 열처리하는 단계를 포함하는 박막 트랜지스터 기판의 금속배선 형성방법을 제공한다.

- <41> 이하 본 발명을 더욱 상세하게 설명한다.
- <42> 본 발명의 박막 트랜지스터 기판은 기판과 금속배선 사이에 자기조립단분자층을 포함하는 것을 특징으로 한다.
- <43> 자기조립단분자층 형성물질로는 3-아미노프로필트리메톡시실란, 3-아미노프로필트리메톡시실란, 2-아미노운데실트리메톡시실란, 아미노페닐트리메톡시실란, N-(2-아미노에틸아미노프로필)트리메톡시실란, 메틸트리메톡시실란, 프로필트리아세톡시실란, (3-머캅토프로필)트리메톡시 실란 등이 바람직하다.
- <44> 상기 실란화합물로 형성되는 자기조립단분자층은 3차원 망상구조를 가지므로 기판과의 접착력이 우수하고 또한 구리의 기판 계면으로의 확산이 방지되어 우수한 물성을 지닌 기판 제조에 사용될 수 있다.
- <45> 박막 트랜지스터 기판을 제조하기 위하여 상기 자기조립단분자층의 두께는 2 내지 3 nm인 것이 바람직하다.
- <46> 상기 자기조립단분자층 상부에는 금속배선이 적층된다. 이때 금속배선물질로는 구리 또는 구리합금이 바람직하게 사용될 수 있다. 구리합금의 경우 구리와 합금을 형성할 수 있는 금속으로는 Ag, Mg, B, Ca, Al, Li, Np, Pu, Ce, Eu, Pr, La, Nd, Sm, Zn 또는 이들의 혼합물 등이 바람직하다.

- <47> 상기 금속배선물질이 구리합금일 경우 구리 이외 합금성분으로 상기 열거한 Ag, Mg, B, Ca, Al, Li, Np, Pu, Ce, Eu, Pr, La, Nd, Sm, Zn 또는 이들의 혼합물을 첨가하면 기판이나 막의 계면으로 확산된 상기 구리 이외의 합금성분이 확산방지막으로 작용하게 되어 자기조립단분자층과 이중으로 확산방지막으로 작용하게 된다. 상기 금속은 Cu에 비하여 표면에너지가 낮아 접촉저항을 확보할 수 있다. 특히 Ag는 Si와의 고용도가 없어 Cu와 Si과의 반응을 효과적으로 억제할 수 있는 우수한 확산방지력을 가진다.
- <48> 본 발명의 기판과 금속배선 사이에 자기조립단분자층을 포함하는 박막 트랜지스터 기판에 있어서, 상기 기판은 유리 기판, n+a-Si/a-Si/SiN 3층막 기판, Si, SiO<sub>2</sub> 또는 저유전율막(Low-k, k < 3.5) 기판이 바람직하다.
- <49> 이상 설명한 본 발명의 박막 트랜지스터 기판으로 널리 사용되는 유리 기판, n+a-Si/a-Si/SiN 3층막 기판, 또는 Si, SiO<sub>2</sub> 또는 저유전율막(Low-k, k < 3.5) 등에 자기조립단분자층을 형성하면 실리사이드가 형성되어 하부 기판과의 접착성이 우수하고 금속배선물질인 구리의 기판으로의 확산을 방지해줄 수 있다.
- <50> 본 발명의 박막 트랜지스터 기판의 금속배선 형성방법은 다음과 같다.
- <51> 첫째, 기판 상부에 자기조립단분자층(Self Assembled Monolayers; SAMs) 형성용 코팅조성물을 코팅한 다음 열처리하여 경화시켜 자기조립단분자층(Self Assembled Monolayers; SAMs)을 형성한다((a) 단계).
- <52> 자기조립단분자층 형성물질로는 3-아미노프로필트리메톡시실란, 3-아미노프로필트리에톡시실란, 2-아미노운데실트리메톡시실란, 아미노페닐트리메톡시실란, N-(2-아미노에틸

아미노프로필)트리메톡시실란, 메틸트리메톡시실란, 프로필트리아세톡시실란, (3-머캅토프로필)트리메톡시 실란 등이 바람직하다.

- <53> 기판 상부에 자기조립단분자층을 형성하기 위하여 자기조립단분자층 형성물질을 용매에 용해시킨 후 기판에 코팅하고 열처리하여 경화시켜야 한다. 상기 용매로는 메탄올, 에탄올, 프로판올, 부탄올 등과 같은 알코올 용매, 메틸 셀루솔브 등과 같은 셀루솔브류 용매 또는 디메틸포름아미드, 물 등을 사용하는 것이 바람직하다.
- <54> 자기조립단분자층 형성물질인 실란 화합물과 용매의 혼합 중량비는 1:20 내지 1:30이 바람직하다.
- <55> 기판 상부에 상기 자기조립단분자층 형성물질을 코팅하는 방법으로는 디핑법, 스픬법, 스프레이법, 프린팅법 등 여러 가지가 바람직하게 사용될 수 있다.
- <56> 기판 상부에 용매에 용해된 자기조립단분자층 형성물질을 코팅한 후 열처리하고 경화시켜 자기조립단분자층을 형성한다. 상기 열처리 온도로는 자기조립단분자층 형성물질인 실란화합물이 응축반응될 수 있도록 100 내지 300 °C에서 진행하는 것이 바람직하다.
- <57> 본 발명의 자기조립단분자층을 갖는 박막 트랜지스터 기판에 있어서, 기판으로는 유리 기판, n+a-Si/a-Si/SiN 3층막 기판, Si, SiO<sub>2</sub> 또는 저유전율막(Low-k, k < 3.5) 기판이 바람직하게 사용될 수 있다.
- <58> 기판 상부에 자기조립단분자층을 형성한 다음 기판 상부에 금속배선물질을 증착한다 ((b) 단계). 금속배선물질로는 구리 또는 구리합금이 바람직하게 사용될 수 있다. 구리합금으로는 상기에서 살펴본 바와 같이, 구리보다 표면에너지가 낮은 Ag, Mg, B, Ca, Al, Li, Np, Pu, Ce, Eu, Pr, La, Nd, Sm, Zn 또는 이들의 혼합물 등이 바람직하다. 또

한 구리합금에 있어서, 구리 이외 금속의 첨가량은 구리에 대하여 0.1 내지 15 at%가 바람직하다.

- <59> 그 다음 상기 금속배선물질이 증착된 기판을 열처리한다((c) 단계). 상기 열처리는 진공에서 100 내지 300 °C의 온도에서 진행하는 것이 바람직하다.
- <60> 종래 확산방지막으로 사용되는 Ti, TiN, Ta, TaN 등을 열처리하면 구리가 상기 확산방지막과 반응하여 비저항이 증가하는 문제점이 있었다. 그러나 본 발명의 자기조립단분자층을 열처리하면 구리와 반응하지 않아 비저항이 증가하지 않고 나노두께의 박막으로 확산방지막을 형성할 수 있다.
- <61> 도 1a 및 1b는 Si 계면과 Cu 사이에 자기조립단분자층이 형성된 구리 또는 구리합금 배선구조를 나타낸 도면이다. 도 1a는 구리만을 사용한 경우이고, 도 1b는 Ag를 포함하는 구리-음 합금을 사용한 예를 나타낸 것이다. 도 1b에 나타난 바와 같이, Ag를 포함하는 구리합금을 사용하면 자기조립단분자층 상부에 Ag층이 하나 더 형성되어 3중층 구조를 가지므로 구리의 Si 계면으로의 확산을 효율적으로 억제할 수 있다.
- <62> 도 2a 및 2b는 각각 열처리 전과 300 °C 열처리 후의 Si 계면과 Cu 사이에 자기조립단분자층이 형성된 구리(Cu) 배선의 오저분석 결과의 텁스 프로파일(depth profile)을 나타낸 도면이다. 또한, 도 2c 및 2d는 각각 열처리 전과 300 °C 열처리 후의 Si계면과 Cu 사이에 자기조립단분자층이 형성된 구리합금(Cu(Ag)) 배선의 오저분석 결과의 텁스 프로파일이다. 오저(Auger electron spectrometer: AES) 분석은 스퍼터방법을 이용하여 시편에 전자를 충돌시켜 튀어나온 오저전자의 밀도로 시편에 존재하는 물질의 많고 적음을 알 수 있는 분석방법이다.

<63> 도 2a 내지 도 2d에 나타난 바와 같이, 15초 스퍼터링 후에는 Cu가 거의 검출되지 않으므로 본 발명의 자기조립단분자층이 구리 또는 구리합금과 Si 계면 사이에 형성되어 있으면 상기 자기조립단분자층이 Cu의 Si 계면으로의 확산을 방지하는 막으로 작용하여 확산방지능력이 우수한 박막 트랜지스터 기판을 제조할 수 있음을 알 수 있다. 특히 배선물질이 구리합금일 경우 약 400 °C에서도 우수한 확산방지막 성능을 유지함을 알 수 있다.

<64> 도 3은 자기조립단분자층 상부의 구리 또는 구리합금의 온도에 대한 비저항 변화를 나타낸 그래프이다. 본 발명의 박막 트랜지스터 기판에 있어서 구리 또는 구리합금 배선구조 하부에 자기조립단분자층을 형성하면 열처리시 구리성분이 확산방지막층과 반응하지 않으므로 비저항이 증가하지 않는다.

<65> 이하 본 발명의 박막 트랜지스터 기판의 예를 보다 구체적으로 설명한다.

<66> 본 발명의 박막 트랜지스터 기판은 절연 기판; 상기 절연 기판 위에 형성되어 있는 제1 신호선; 상기 제1 신호선 위에 형성되어 있는 제1 절연막; 상기 제1 절연막 위에 형성되어 있으며 상기 제1 신호선과 교차하고 있는 제2 신호선; 상기 제1 신호선 및 상기 제2 신호선과 전기적으로 연결되어 있는 박막 트랜지스터; 상기 박막 트랜지스터 위에 형성되어 있으며 상기 박막 트랜지스터의 소정 전극을 노출시키는 제1 접촉구를 가지는 제2 절연막; 및 상기 제2 절연막 위에 형성되어 있으며 상기 제1 접촉구를 통하여 상기 박막 트랜지스터의 소정 전극과 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터 기판에 있어서, 상기 제1 및 제2 신호선 중의 적어도 하나는 자기조립단분자층 및 Cu 층의 2중층으로 이루어지는 구리 또는 구리합금 배선구조를 가지는 것을 특징으로 한다.

- <67> 첨부한 도면을 참고로 하여 본 발명의 박막 트랜지스터 기판 중 박막 트랜지스터 액정 표시장치를 예로 들어 구리배선 형성방법을 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- <68> 도 4a는 본 발명의 액정 표시 장치용 박막 트랜지스터 기판이고, 도 5a는 도 4a에 도시한 박막 트랜지스터 기판의 V-V' 선에 대한 단면도이다.
- <69> 절연 기판(10) 위에 제1 게이트 배선층(221, 241, 261) 및 제2 게이트 배선층(222, 242, 262)의 2중층으로 이루어져 있는 게이트 배선(22, 24, 26)이 형성되어 있다. 제1 게이트 배선층(221, 241, 261)은 자기정합단분자층으로 이루어져 있고, 제2 게이트 배선 층(222, 242, 262)은 구리 또는 구리합금으로 이루어져 있다. 여기서, 제1 게이트 배선 층(221, 241, 261)은 기판(10)과의 접착력을 향상시키기 위하여 형성하는 층으로 2 내지 3 nm의 두께로 형성하는 것이 바람직하고, 제2 게이트 배선층(222, 242, 262)은 배선의 본래 기능인 전기 신호의 통로 역할을 하는 층으로 비저항인 낮은 구리나 구리합금으로 형성한다.
- <70> 게이트 배선(22, 24, 26)은 가로 방향으로 뻗어 있는 게이트선(22), 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다. 여기서 게이트 선(22)의 한 쪽 끝부분(24)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다.
- <71> 기판(10) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.
- <72> 게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어 진 반도체층(40)이 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불

순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(55, 56)이 각각 형성되어 있다.

<73> 저항성 접촉층(55, 56) 및 게이트 절연막(30) 위에는 제1 데이터 배선층(621, 651, 661, 681) 및 제2 데이터 배선층(622, 652, 662, 682)의 2층층으로 이루어져 있는 데이터 배선(62, 65, 66, 68)이 형성되어 있다. 제1 데이터 배선층(621, 651, 661, 681)은 자기조립단분자층으로 이루어져 있고, 제2 데이터 배선층(622, 652, 662, 682)은 구리 또는 구리합금으로 이루어져 있다. 여기서, 제1 데이터 배선층(621, 651, 661, 681)은 저항성 접촉층(55, 56) 및 게이트 절연막(30)과의 접착력을 향상시키기 위하여 형성하는 층으로 2 내지 3 nm의 두께로 형성하는 것이 바람직하고, 제2 데이터 배선층(622, 652, 662, 682)은 배선의 본래 기능인 전기 신호의 통로 역할을 하는 층으로 비저항이 낮은 구리나 구리합금으로 형성한다.

<74> 데이터 배선(62, 65, 66, 68)은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항성 접촉층(54)의 상부까지 연장되어 있는 소스 전극(65), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 하여 소스 전극(65)의 반대쪽 저항성 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다. 이 때, 데이터선(62)의 한 쪽 끝부분(68)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다.

<75> 데이터 배선(62, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 질화 규소(SiNx), PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD막), 및 아크릴계 유기 절연막 등으로 이루어진 보호막(70)이 형성되어 있다. PECVD 방법에 의하여 증착된 a-Si:C:O 막과

a-Si:O:F 막(저유전율 CVD막)은 유전 상수가 4이하(유전 상수는 2에서 4사이의 값을 가진다.)로 유전율이 매우 낮다. 따라서, 두께가 얕아도 기생 용량 문제가 발생하지 않는다. 또 다른 막과의 접착성 및 스텝 커버리지(step coverage)가 우수하다. 또한 무기질 CVD막이므로 내열성이 유기 절연막에 비하여 우수하다. 아울러 PECVD 방법에 의하여 증착된 a-Si:C:O 막과 a-Si:O:F 막(저유전율 CVD막)은 증착 속도나 식각 속도가 질화 규소막에 비하여 4~10배 빠르므로 공정 시간 면에서도 매우 유리하다.

<76> 보호막(70)에는 드레인 전극(66) 및 데이트선 끝부분(68)을 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트선 끝부분(24)을 드러내는 접촉 구멍(74)이 형성되어 있다. 이때, 끝부분(24, 68)을 드러내는 접촉 구멍(74, 78)은 각을 가지거나 원형의 다양한 모양으로 형성될 수 있으며, 면적은 2mm $\times$ 60 $\mu$ m<sup>2</sup>를 넘지 않으며, 0.5mm $\times$ 5 $\mu$ m 이상인 것이 바람직하다.

<77> 보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 접촉 보조 부재(86, 88)가 형성되어 있다. 여기서, 화소 전극(82)과 접촉 보조 부재(86, 88)는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)로 이루어져 있다.

<78> 여기서, 화소 전극(82)은 도 4 및 도 5a에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.

<79> 또, 화소 전극(82)은 데이터선(62)과도 중첩하도록 형성하여 개구율을 극대화할 수 있다. 이처럼 개구율을 극대화하기 위하여 화소 전극(82)을 데이터선(62)과 중첩시켜

형성하더라도 보호막(70)의 저유전율 CVD막 등으로 형성하면 이들 사이에서 형성되는 기생 용량은 문제가 되지 않을 정도로 작게 유지할 수 있다.

<80> 그러면, 이러한 본 발명의 바람직한 박막 트랜지스터 기판의 제조 방법에 대하여 도 4 및 도 5a와 도 6a 내지 도 10b를 참고로 하여 상세히 설명한다.

<81> 먼저, 도 6a 및 6b에 도시한 바와 같이, 기판(10) 위에 제1 게이트 배선층(221, 241, 261) 및 제2 게이트 배선층(222, 242, 262)을 적층하고, 사진 식각하여 게이트선(22), 게이트 전극(26) 및 게이트선 끝부분(24)을 포함하는 가로 방향으로 뻗어 있는 게이트 배선(22, 24, 26)을 형성한다.

<82> 다음, 도 7a 및 도 7b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고, 반도체층(40)과 도핑된 비정질 규소층(50)을 사진 식각하여 게이트 전극(24) 상부의 게이트 절연막(30) 위에 섬 모양의 반도체층(40)과 저항성 접촉층(50)을 형성한다.

<83> 다음, 도 8a 내지 도 8b에 도시한 바와 같이, 제1 데이터 배선층(621, 651, 661, 681)을 적층하고, 제2 데이터 배선층(622, 652, 662, 682)을 적층하고, 사진 식각하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부 까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터선 끝부분(68) 및 소스 전극(64)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성한다.

- <84> 이어, 테이터 배선(62, 65, 66, 68)으로 가리지 않는 도평된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도평된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라스마를 실시하는 것이 바람직하다.
- <85> 다음으로, 도 9a 및 9b에서 보는 바와 같이, 질화규소막, a-Si:C:O 막 또는 a-Si:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시키거나 유기 절연막을 도포하여 보호막(70)을 형성한다.
- <86> 이어, 사진 식각 공정으로 게이트 절연막(30)과 함께 보호막(70)을 패터닝하여, 게이트선 끝부분(24), 드레인 전극(66) 및 데이트선 끝부분(68)을 드러내는 접촉 구멍(74, 76, 78)을 형성한다. 여기서, 접촉 구멍(74, 76, 78)은 각을 가지는 모양 또는 원형의 모양으로 형성할 수 있으며, 끝부분(24, 68)을 드러내는 접촉 구멍(74, 78)의 면적은  $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며,  $0.5\text{mm} \times 15\mu\text{m}$  이상인 것이 바람직하다.
- <87> 다음, 마지막으로 도 4 및 5에 도시한 바와 같이, ITO 또는 IZO막을 증착하고 사진 식각하여 제1 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 제2 및 제3 접촉 구멍(74, 78)을 통하여 게이트선 끝부분(24) 및 데이트선 끝부분(68)과 각각 연결되는 보조 게이트선 끝부분(86) 및 보조 데이트선 끝부분(88)을 형성한다. ITO나 IZO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체는 질소를 이용하는 것이 바람직하다. 이는 접촉 구멍(74, 76, 78)을 통해 노출되어 있는 금속막(24, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.
- <88> 이상과 같이 게이트 배선과 테이터 배선을 은 또는 그 합금으로 형성하고, 하부와 상부에 각각 접착성을 향상시키기 위한 접착층과 후속 공정에서 은 또는 은 합금층을 보

호하기 위한 보호층을 형성함으로써 저저항 배선을 구현함과 동시에 배선의 신뢰성을 확보한다.

<89> 한편 본 발명의 게이트 배선과 데이터 배선 모두를 2중층으로 형성하고 있으나 필요에 따라 게이트 배선과 데이터 배선 중 어느 하나에만 2중층 구조를 적용할 수도 있다.

<90> 또한 도 5b는 도 4b의 V-V' 선을 따라 잘라 도시한 단면도로서 본 발명의 5매 마스크를 이용하여 제조된 박막 트랜지스터 기판의 COA(Color filter On Array) 구조를 나타낸 도면이다. 이는 4매 마스크를 이용하여 제조된 박막 트랜지스터 기판의 COA 구조에 도 동일하게 적용가능하다.

<91> 먼저, 절연 기판(10) 위에 자기조립단분자층(241, 221, 261) 및 구리(242, 222, 262)의 이중층 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 주사 신호선 또는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가받아 게이트선의 끝부분(24) 및 게이트선(22)의 일부인 박막 트랜지스터의 게이트 전극(26)을 포함한다. 게이트선(22)의 돌출부는 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(64)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이룬다.

<92> 게이트 배선(22, 24, 26) 및 기판(10) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 형성되어 있으며, 게이트 전극(24)은 게이트 절연막(30)으로 덮여 있다.

- <93> 게이트 절연막 패턴(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(40)이 형성되어 있으며, 반도체 패턴(40) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer)(55, 56)이 형성되어 있다.
- <94> 저항성 접촉층(55, 56) 위에는 Mo 또는 MoW 합금, Cr, Al 또는 Al 합금, Ta 따위의 도전 물질로 이루어진 데이터 배선의 일부인 박막 트랜지스터의 소스 전극(65)과 드레인 전극(66)이 각각 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있으며 소스 전극(65)과 연결되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68) 및 게이트선(22)의 돌출부와 중첩되어 있는 유지 축전기용 도전체 패턴(64)도 포함한다.
- <95> 데이터 배선(62, 64, 65, 66, 68)도 게이트 배선(22, 24, 26)과 마찬가지로 자기조립단분자층(621, 641, 651, 661, 681) 및 구리(622, 642, 652, 662, 682)의 이중층 구조 또는 자기조립단분자층, 은 및 구리의 3중층 구조로 형성되는 것이 바람직하다.
- <96> 저항성 접촉층(55, 56)은 그 하부의 반도체 패턴(40)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 한다.
- <97> 도면에 도시하지 않았지만, 데이터 배선(62, 64, 65, 66, 68)과 데이터 배선으로 가리지 않는 반도체 패턴(40) 상부에는 산화 규소 또는 질화 규소 등의 절연 물질로 이루어진 층간 절연막이 형성될 수 있다.
- <98> 게이트 절연막(30) 상부의 화소 영역에는 드레인 전극(65)과 유지 축전기용 도전체 패턴(64)을 드러내는 개구부(C1, C2)를 가지는 적, 녹, 청의 컬러 필터(R, G, B)가 세

로 방향으로 형성되어 있다. 여기서, 적, 녹, 청의 컬러 필터(R, G, B)의 경계는 데이터선(62) 상부에서 일치하여 도시되어 있지만, 데이터선(62) 상부에서 서로 중첩되어 화소 영역 사이에서 누설되는 빛을 차단하는 기능을 가질 수 있으며, 게이트 및 데이터선 끝부분(24, 68)이 형성되어 있다.

<99> 청, 녹, 청의 컬러 필터(81, 82, 83) 상부에는 평탄화 특성이 우수하며 유전율이 낮은 아크릴계의 유기 절연 물질 또는 SiOC 또는 SiOF 등과 같이 화학 기상 증착으로 형성되며 4.0 이하의 낮은 유전율을 가지는 저유전율 절연 물질로 이루어진 보호막(70)이 형성되어 있다. 이러한 보호막(90)은 게이트 절연막(30)과 함께 게이트선의 끝부분(24), 데이터선의 끝부분(68), 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)을 드러내는 접촉 구멍(74, 78, 76, 72)을 가지고 있다. 이때, 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)을 드러내는 접촉 구멍(76, 72)은 컬러 필터(R, G, B)의 개구부(C1, C2) 안쪽에 위치하며, 앞에서 설명한 바와 같이 컬러 필터(R, G, B)의 하부에 층간 절연막이 추가된 경우에는 층간 절연막과 동일한 패턴을 가진다.

<100> 보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 축전기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트선의 끝부분(24) 및 데이터선의 끝부분(68) 위에는 접촉 구멍(74, 78)을 통

하여 각각 이들과 연결되는 접촉 보조 부재(84, 88)가 형성되어 있으며, 이들은 데이터 선의 끝부분 및 게이트 선의 끝부분(24, 68)과 외부 회로 장치와의 접착성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

<101> 이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<102> 먼저, 도 10 내지 도 12를 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

<103> 도 10은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 11 및 도 12는 각각 도 10에 도시한 박막 트랜지스터 기판을 XI-XI' 선 및 XII-XII' 선에 대한 단면도이다.

<104> 먼저, 절연 기판(10) 위에 제1 실시예와 동일하게 제1 게이트 배선층(221, 241, 262) 및 제2 게이트 배선층(222, 242, 262)의 2중층으로 이루어져 있는 게이트 배선(22, 24, 26)이 형성되어 있다. 제1 게이트 배선층(221, 241, 261)은 자기조립단분자층으로 이루어져 있고, 제2 게이트 배선층(222, 242, 262)은 구리 또는 구리합금으로 이루어져 있다. 여기서, 제1 게이트 배선층(221, 241, 261)은 기판(10)과의 접착력을 향상시키기 위하여 형성하는 층으로 2 내지 3 nm의 두께로 형성하는 것이 바람직하고, 제2 게이트 배선층(222, 242, 262)은 배선의 본래 기능인 전기 신호의 통로 역할을 하는 층으로 비

저항인 낮은 구리나 구리합금으로 형성한다. 게이트 배선은 게이트선(22), 게이트선 끝 부분(24) 및 게이트 전극(26)을 포함한다.

<105> 기판(10) 위에는 게이트선(22)과 평행하게 유지 전극선(28)이 형성되어 있다. 유지 전극선(28) 역시 제1 게이트 배선층(281)과 제2 게이트 배선층(282)의 2중층으로 이루어져 있다. 유지 전극선(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술 할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 유지 전극선(28)에는 상부 기판의 공통 전극과 동일한 전압이 인가 되는 것이 보통이다.

<106> 게이트 배선(22, 24, 26) 및 유지 전극선(28) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26) 및 유지 전극선(28)을 덮고 있다.

<107> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

<108> 저항성 접촉층 패턴(55, 56, 58) 위에는 제1 데이터 배선층(621, 641, 651, 661, 681) 및 제2 데이터 배선층(622, 642, 652, 662, 682)의 3중층으로 이루어져 있는 데이터 배선(62, 64, 65, 66, 68)이 형성되어 있다. 제1 데이터 배선층(621, 641, 651, 661, 681)은 자기조립단분자층으로 이루어져 있고, 제2 데이터 배선층(622, 642, 652, 662, 682)은 자기조립단분자층으로 이루어져 있고, 제3 데이터 배선층(623, 643, 653, 663, 683)은 자기조립단분자층으로 이루어져 있다.

662, 682)은 구리 또는 구리합금으로 이루어져 있다. 여기서, 제1 데이터 배선층(621, 662, 682)은 저항성 접촉층(55, 56) 및 게이트 절연막(30)과의 접착력을 향상 641, 651, 661, 681)은 저항성 접촉층(55, 56) 및 게이트 절연막(30)과의 접착력을 향상 시키기 위하여 형성하는 층으로 2 내지 3 nm의 두께로 형성하는 것이 바람직하고, 제2 데이터 배선층(622, 642, 652, 662, 682)은 배선의 본래 기능인 전기 신호의 통로 역할을 하는 층으로 비저항인 낮은 구리나 구리합금으로 형성한다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 신호를 인가받는 데이터선 끝부분(68), 그리고 데이터선(62)의 분지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부(62, 68, 65)를 포함하며, 또한 데이터선 부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극선(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극선(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.

**<109>** 접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다.

**<110>** 한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 58)과 동일한 모양을 하고

있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

<111> 데이터 배선(62, 64, 65, 66, 68) 위에는 질화규소나 PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(저유 전율 CVD막) 또는 유기 절연막으로 이루어진 보호막(70)이 형성되어 있다. 보호막(70)은 드레인 전극(66), 데이터선 끝부분(64) 및 유지 축전기용 도전체 패턴(68)을 드러내는 접촉구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트선 끝부분(24)을 드러내는 접촉 구멍(74)을 가지고 있다.

<112> 보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 ITO 도는 IZO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 접촉 구멍(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)을 통하여 유지 축전기용 도전체 패턴(64)과도 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트선 끝부분(24) 및 데이터선 끝부분(68) 위

에는 접촉 구멍(74, 78)을 통하여 각각 이들과 연결되는 보조 게이트선 끝부분(86) 및 보조 데이트선 끝부분(88)이 형성되어 있으며, 이들은 끝부분(24, 68)과 외부 회로 장치 와의 접착성을 보완하고 끝부분을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

<113> 그러면, 도 10 내지 도 12의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 11 내지 도 13과 도 13a 내지 도 20c를 참조하여 설명하기로 한다.

<114> 먼저, 도 13a 내지 13c에 도시한 바와 같이, 제1 실시예와 동일하게 제1 게이트 배선층(221, 241, 261, 281) 및 제2 게이트 배선층(222, 242, 262, 282)을 적층한 다음, 사진 식각하여 게이트선(22), 게이트선 끝부분(24), 게이트 전극(26)을 포함하는 게이트 배선과 유지 전극선(28)을 형성한다.

<115> 다음, 도 14a 및 14b에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 데이터 배선을 형성하기 위한 제1 도전막(601) 및 제2 도전막(602)을 스퍼터링 등의 방법으로 증착하여 도전체층(60)을 형성한 다음 그 위에 감광막(110)을 1 $\mu$ m 내지 2 $\mu$ m의 두께로 도포한다.

<116> 그 후, 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여, 도 15b 및 15c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인

전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

<117> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<118> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<119> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<120> 이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 훌려내리도록 함으로써 형성할 수도 있다.

<121> 이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

<122> 먼저, 도 16a 및 16b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 전식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 전식 식각의 경우 도전체층(60)만을 식각하고 감광막 패턴(112, 114)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(112, 114)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

<123> 이렇게 하면, 도 16a 및 도 16b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되

어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

<124> 이어, 도 17a 및 17b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF<sub>6</sub>과 HC1의 혼합 기체나, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<125> 이렇게 하면, 도 17a 및 17b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

<126> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<127> 다음, 도 18a 및 18b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 CF<sub>4</sub>와 HCl의 혼합 기체나 CF<sub>4</sub>와 O<sub>2</sub>의 혼합 기체를 들 수 있으며, CF<sub>4</sub>와 O<sub>2</sub>를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 15b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<128> 이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

<129> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

<130> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

<131> 다음, 도 19a 및 도 19b에 도시한 바와 같이, 질화규소나 a-Si:C:O 막 또는 a-Si:O:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시키거나 유기 절연막을 도포하여 보호막(70)을 형성한다.

<132> 이어, 도 20a 내지 도 20c에 도시한 바와 같이, 보호막(70)을 게이트 절연막(30)과 함께 사진 식각하여 드레인 전극(66), 게이트선 끝부분(24), 데이트선 끝부분(68) 및 유지 축전기용 도전체 패턴(64)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다. 이때, 끝부분(24, 68)을 드러내는 접촉 구멍(74, 78)의 면적은  $2\text{mm} \times 60\mu\text{m}$ 를 넘지 않으며,  $0.5\text{mm} \times 15\mu\text{m}$  이상인 것이 바람직하다.

<133> 마지막으로, 도 11 내지 도 13에 도시한 바와 같이,  $400\text{ \AA}$  내지  $500\text{ \AA}$  두께의 ITO층 또는 IZO층을 증착하고 사진 식각하여 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 연결된 화소 전극(82), 게이트선 끝부분(24)과 접촉 보조 부재(86) 및 데이트선 끝부분(68)과 연결된 접촉 보조 부재(88)를 형성한다.

<134> 한편, ITO나 IZO를 적층하기 전의 예열(pre-heating) 공정에서 사용하는 기체로는 질소를 사용하는 것이 바람직하며, 이는 접촉 구멍(72, 74, 76, 78)을 통해 드러난 금속 막(24, 64, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.

<135> 이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)을 분리함으로써 제조 공정을 단순화할 수 있다.

<136> 한편 본 발명의 제2 실시예에서도 게이트 배선과 데이터 배선 모두를 2중층으로 형성하고 있으나 필요에 따라 게이트 배선과 데이터 배선 중 어느 하나에만 2중층 구조를 적용할 수도 있다.

#### 【발명의 효과】

<137> 본 발명의 박막 트랜지스터 기판은 기판과 금속배선 사이에 자기조립단분자층을 포함하고 있어 기판과의 접착력이 우수하고 금속배선물질의 기판으로의 확산을 효과적으로 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

기판과 금속배선 사이에 자기조립단분자층을 포함하는 것을 특징으로 하는 박막 트랜지스터 기판.

**【청구항 2】**

제1항에 있어서,

상기 자기조립단분자층 형성 화합물은 3-아미노프로필트리메톡시실란, 3-아미노프로필트리에톡시실란, 2-아미노운데실트리메톡시실란, 아미노페닐트리메톡시실란, N-(2-아미노에틸아미노프로필)트리메톡시실란, 메틸트리메톡시실란, 프로필트리아세톡시실란, (3-머캅토프로필)트리메톡시 실란 및 (3-머캅토프로필)트리메톡시 실란으로 이루어진 군으로부터 선택된 것을 특징으로 하는 박막 트랜지스터 기판.

**【청구항 3】**

제1항에 있어서,

상기 자기조립단분자층의 두께가 2 내지 3 nm인 것을 특징으로 하는 박막 트랜지스터 기판.

**【청구항 4】**

제1항에 있어서,

상기 금속배선의 금속은 구리; 또는 구리와 Ag, Mg, B, Ca, Al, Li, Np, Pu, Ce, Eu, Pr, La, Nd, Sm 및 Zn으로 이루어진 군으로부터 선택되는 금속의 구리합금인 것을 특징으로 하는 박막 트랜지스터 기판.

**【청구항 5】**

제1항에 있어서,

상기 기판은 유리 기판, n+a-Si/a-Si/SiN 3층막 기판, Si, SiO<sub>2</sub> 또는 저유전율막 (Low-k, k < 3.5) 기판인 것을 특징으로 하는 박막 트랜지스터 기판.

**【청구항 6】**

절연 기판;

상기 절연 기판 위에 형성되어 있는 제1 신호선;

상기 제1 신호선 위에 형성되어 있는 제1 절연막;

상기 제1 절연막 위에 형성되어 있으며 상기 제1 신호선과 교차하고 있는 제2 신호선;

상기 제1 신호선 및 상기 제2 신호선과 전기적으로 연결되어 있는 박막 트랜지스터;

상기 박막 트랜지스터 위에 형성되어 있으며 상기 박막 트랜지스터의 소정 전극을 노출시키는 제1 접촉구를 가지는 제2 절연막; 및

상기 제2 절연막 위에 형성되어 있으며 상기 제1 접촉구를 통하여 상기 박막 트랜지스터의 소정 전극과 연결되어 있는 화소 전극을 포함하는 박막 트랜지스터 기판에 있어서,

상기 제1 및 제2 신호선 중의 적어도 하나는 자기조립단분자층 및 Cu층의 2중층으로 이루어지는 구리 또는 구리합금 배선구조를 가지는 것을 특징으로 하는 박막 트랜지스터 기판.

**【청구항 7】**

제6항에 있어서,

상기 제1 및 제2 신호선 중의 적어도 하나는 자기조립단분자층, Ag층 및 Cu층의 3중층으로 이루어지는 구리 또는 구리합금 배선구조를 가지는 것을 특징으로 하는 박막 트랜지스터 기판.

### 【청구항 8】

절연 기판 위에 형성되어 있으며, 게이트선 및 이와 연결된 게이트 전극을 포함하는 게이트 배선,

게이트 배선을 덮고 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체 패턴,

상기 게이트 절연막 또는 반도체 패턴 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스 전극 및 드레인 전극과, 상기 소스 전극과 연결되어 있으며 상기 게이트선과 교차하여 화소 영역을 정의하는 데이터선을 포함하는 데이터 배선,

상기 드레인 전극을 드러내는 제1 접촉 구멍을 가지는 보호막,

상기 보호막 상부에 형성되어 있으며, 상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 있는 화소 전극

을 포함하는 박막 트랜지스터 기판에 있어서,

상기 게이트 배선 및 데이터 배선 중의 적어도 하나는 자기조립단분자층 및 Cu층의 2중층으로 이루어지는 구리 또는 구리합금 배선구조를 가지는 박막 트랜지스터 기판인 것을 특징으로 하는 박막 트랜지스터 기판.

### 【청구항 9】

절연 기판,

상기 기판 위에 형성되어 있으며 게이트선, 게이트 전극 및 게이트선의 끝부분을 포함하는 게이트 배선,

상기 게이트 배선 위에 형성되어 있으며 적어도 상기 게이트선의 끝부분을 노출시키는 접촉구를 가지는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 반도체 패턴,

상기 게이트 절연막 또는 반도체 패턴 위에 접촉층 패턴이 형성되어 있는 소스 전극, 드레인 전극, 데이터 선 및 데이터선의 끝부분을 포함하는 데이터 배선,

상기 데이터 배선 위에 형성되어 있으며 상기 게이트선의 끝부분, 상기 데이터선의 끝부분 및 상기 드레인 전극을 노출시키는 접촉구를 가지는 보호막,

노출되어 있는 상기 게이트선의 끝부분, 데이터선의 끝부분 및 드레인 전극과 각각 전기적으로 연결되어 있는 투명 전극층 패턴

을 포함하고,

상기 게이트 배선 및 데이터 배선 중의 적어도 하나는 자기조립단분자층 및 Cu층의 2중층으로 이루어지는 구리 또는 구리합금 배선구조를 가지는 박막 트랜지스터 기판인 것을 특징으로 하는 박막 트랜지스터 기판.

#### 【청구항 10】

제8항 또는 제9항에 있어서,

상기 반도체 패턴과 데이터 배선 사이에 형성되어 있는 저항성 접촉층을 더 포함하고, 상기 저항성 접촉층은 데이터 배선과 실질적으로 동일한 구조를 가지는 것을 특징으로 하는 박막 트랜지스터 기판.

**【청구항 11】**

제8항 또는 제9항에 있어서,  
채널부를 제외한 반도체 패턴이 데이터 배선과 동일한 구조를 가지는 것을 특징으로 하는 박막 트랜지스터 기판.

**【청구항 12】**

- (a) 기판 상부에 자기조립단분자층(Self Assembled Monolayers; SAMs) 형성용 코팅 조성물을 코팅하고 열처리하여 자기조립단분자층(Self Assembled Monolayers; SAMs) 형성하는 단계;
- (b) 상기 기판 상부에 금속배선물질을 증착하는 단계; 및
- (c) 상기 금속배선물질이 증착된 기판을 열처리하는 단계  
를 포함하는 박막 트랜지스터 기판의 금속배선 형성방법.

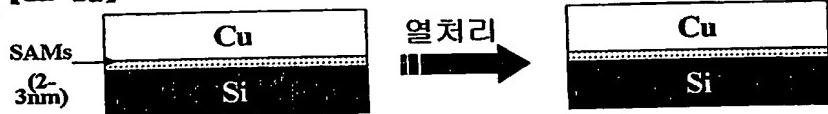
**【청구항 13】**

제12항에 있어서,

상기 기판은 유리 기판, n+a-Si/a-Si/SiN 3층막 기판, Si, SiO<sub>2</sub> 또는 저유전율막 (Low-k, k < 3.5) 기판인 것을 특징으로 하는 박막 트랜지스터 기판의 구리배선 형성방법.

## 【도면】

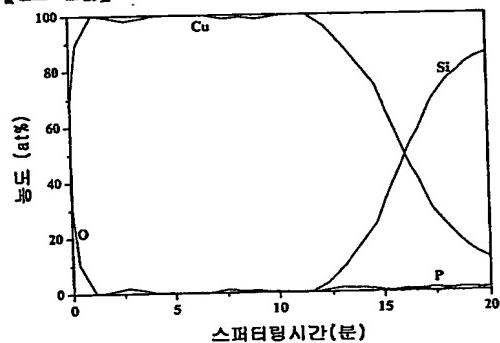
【도 1a】



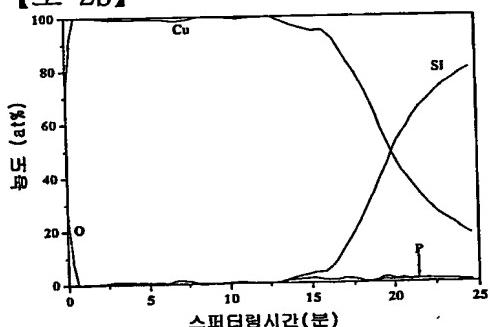
【도 1b】



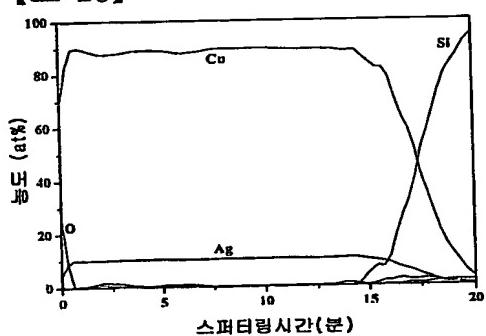
【도 2a】



【도 2b】

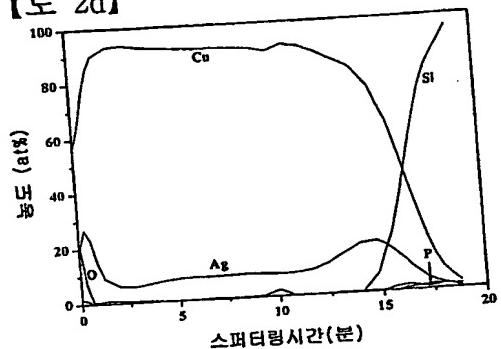


【도 2c】

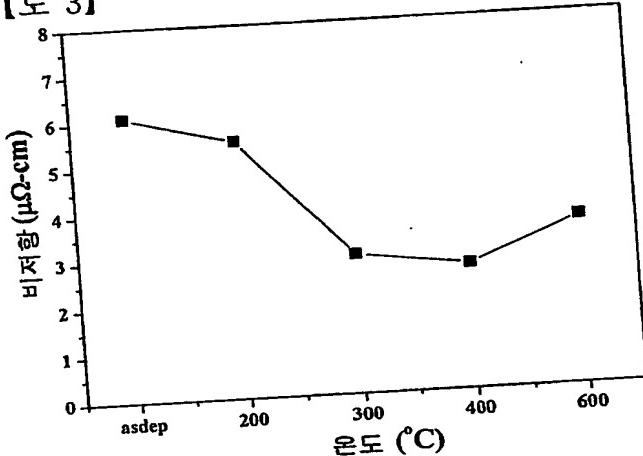


10200306-57

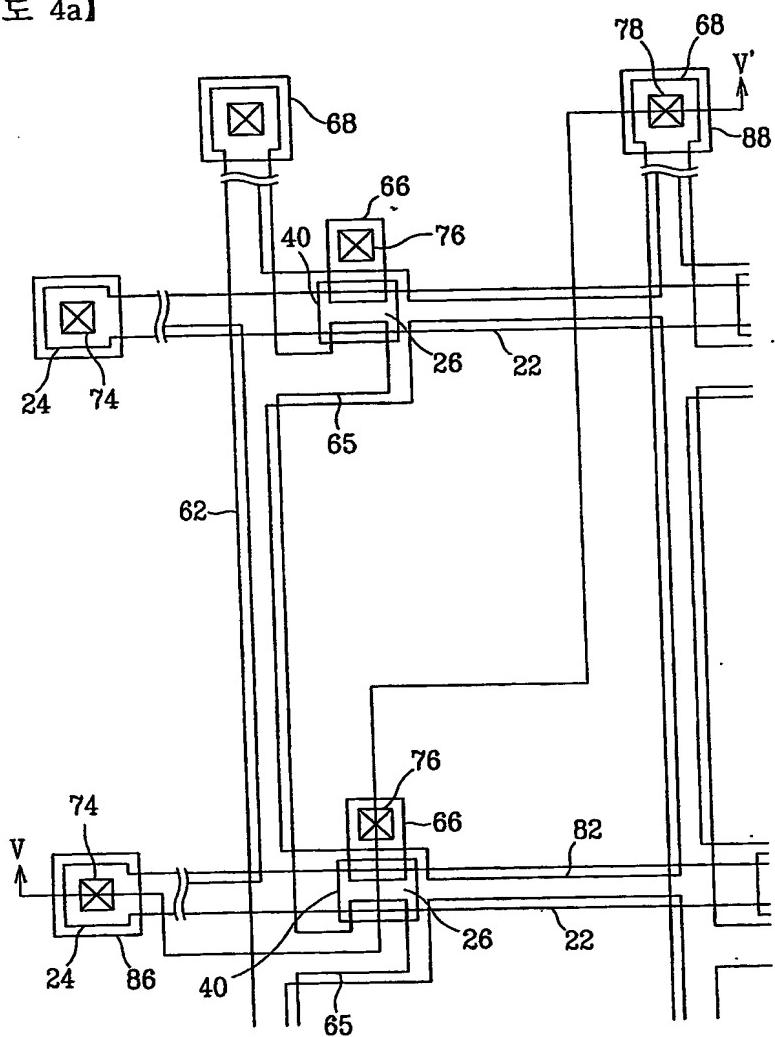
【도 2d】



【도 3】

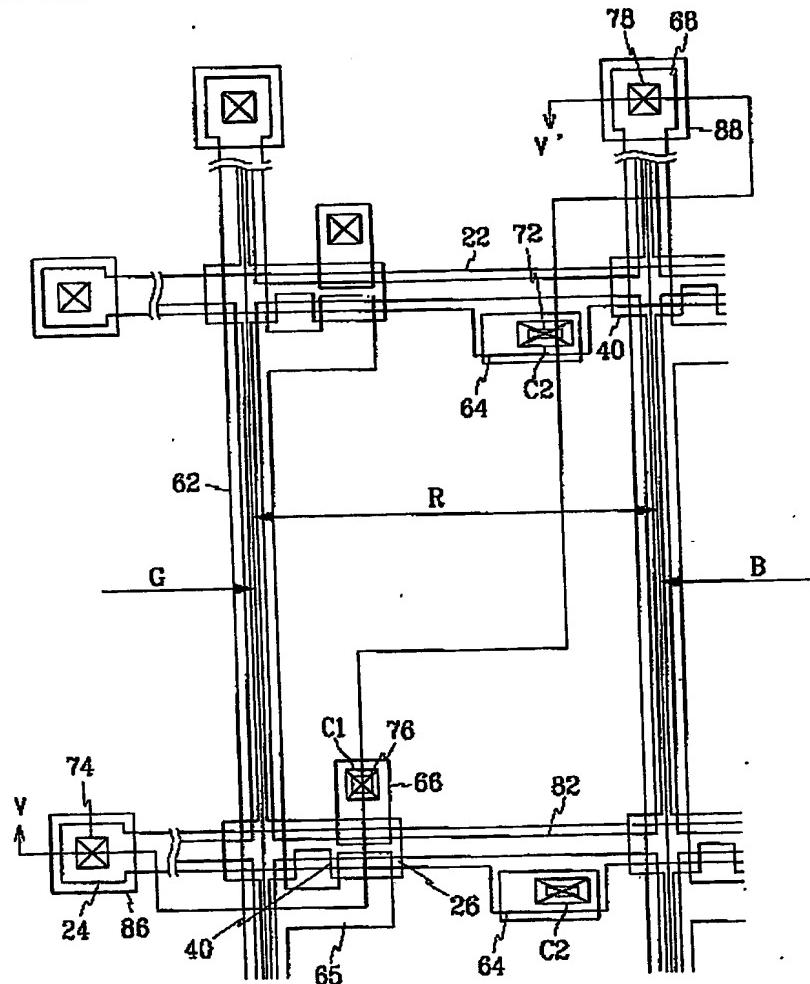


【도 4a】

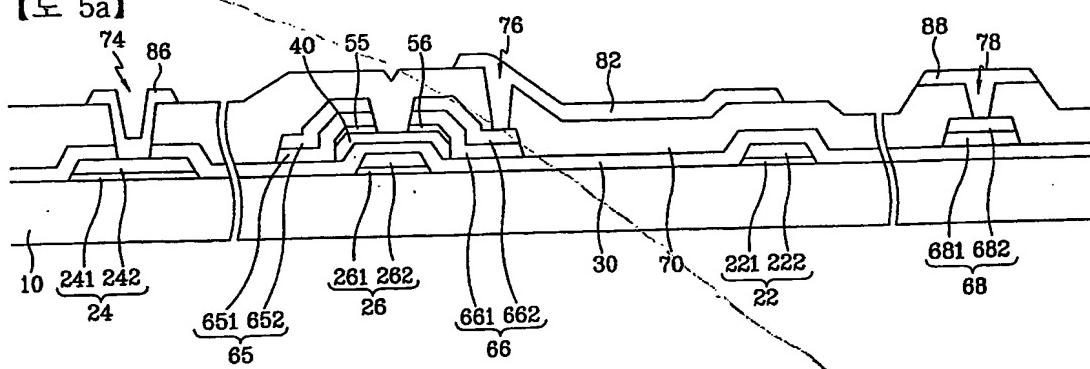


1020000000757

【도 4b】



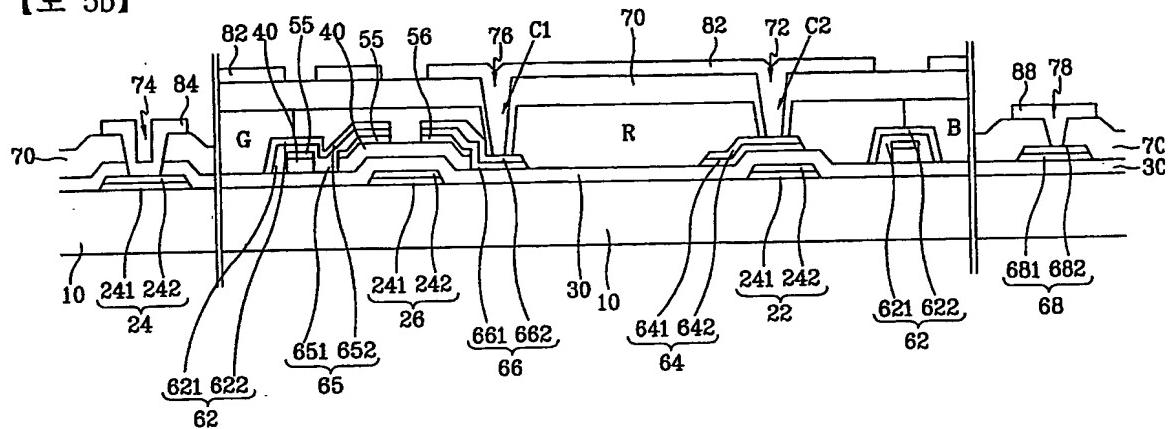
【도 5a】



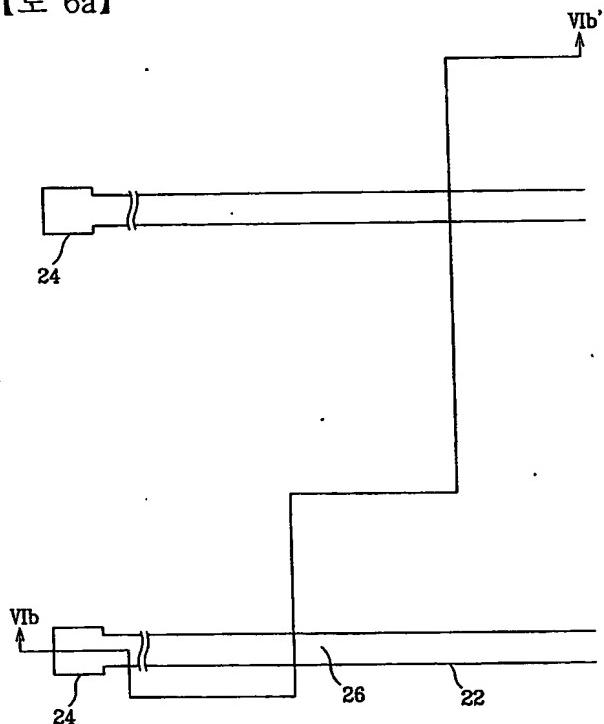
10200000757

출력 일자: 2003/4/3

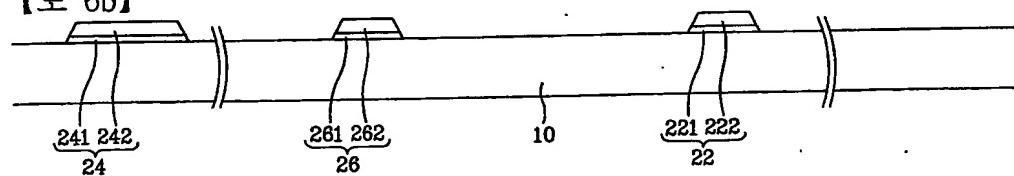
【도 5b】



【도 6a】



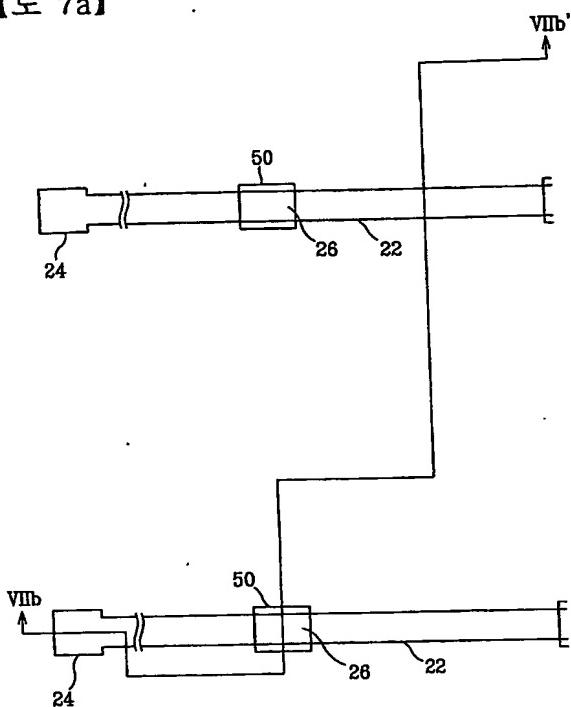
【도 6b】



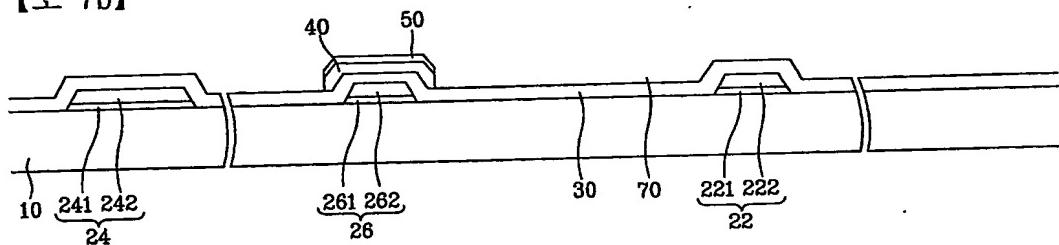
출력 일자: 2003/4/3

102000000757

【도 7a】



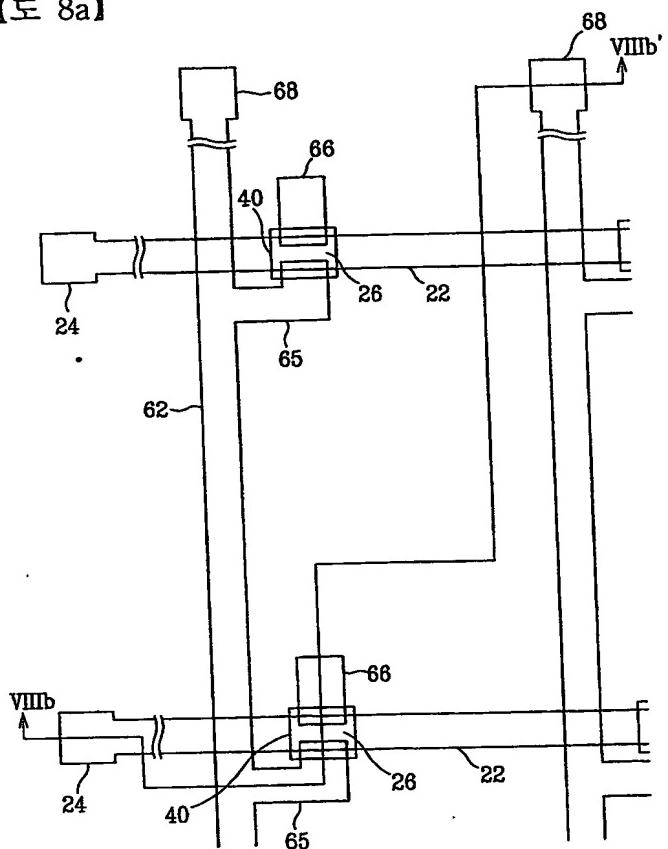
【도 7b】



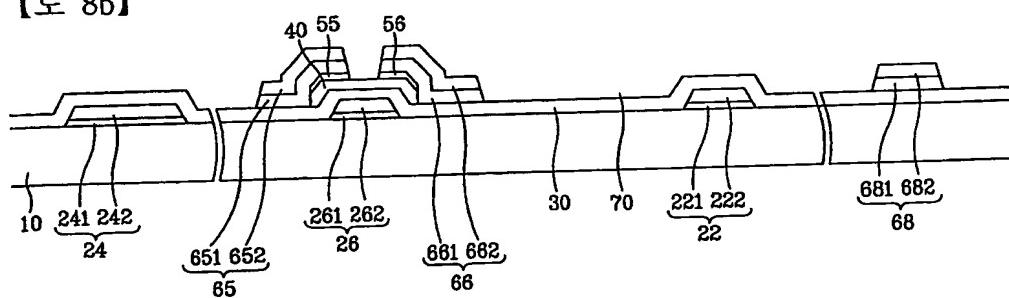
1020000000757

출력 일자: 2003/4/3

【도 8a】

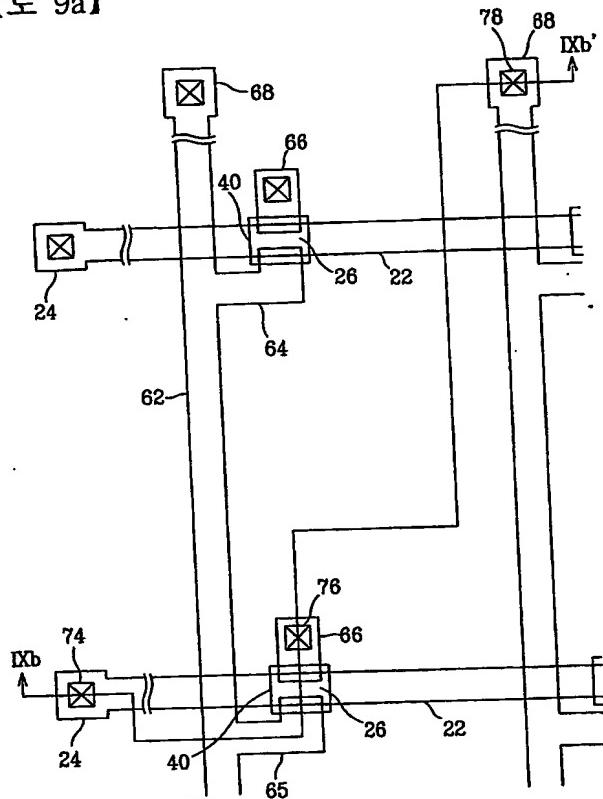


【도 8b】

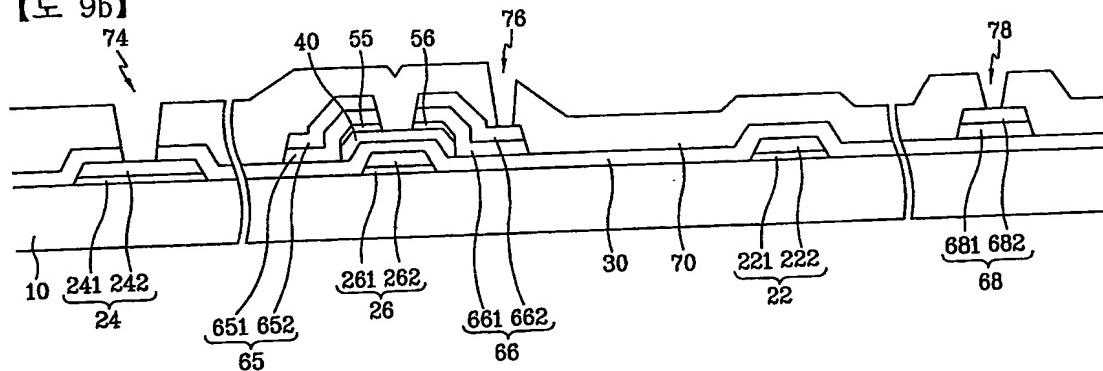


1020000000757

【도 9a】

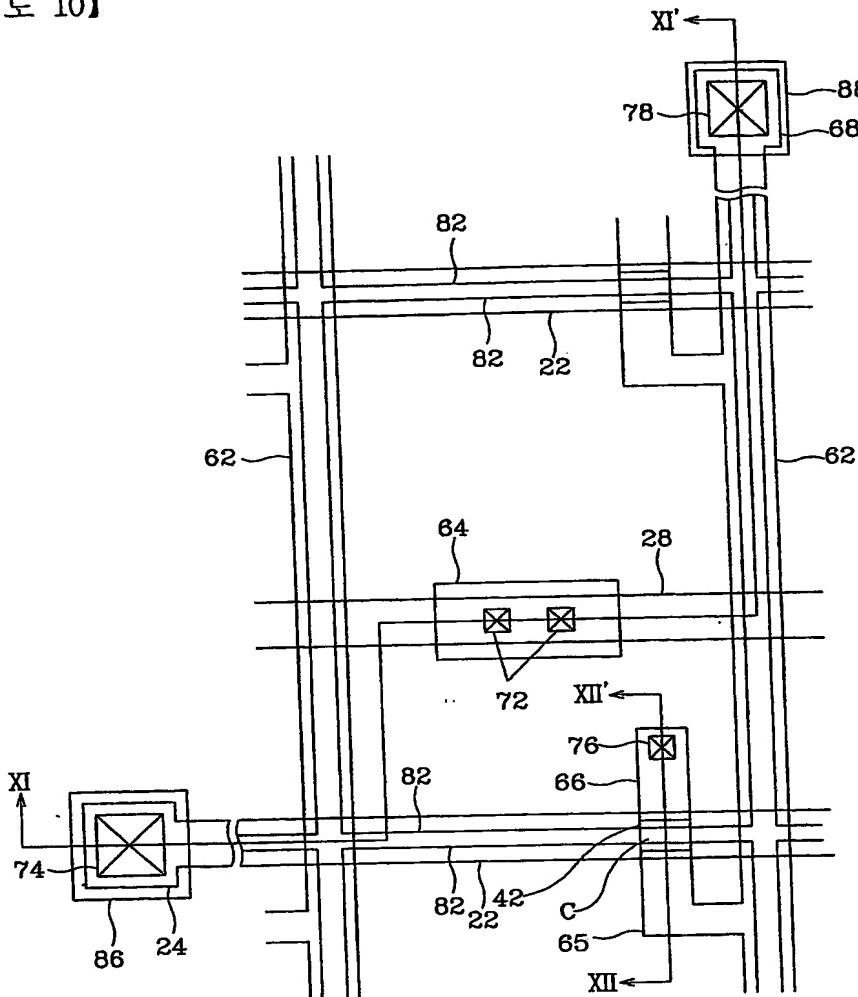


【도 9b】

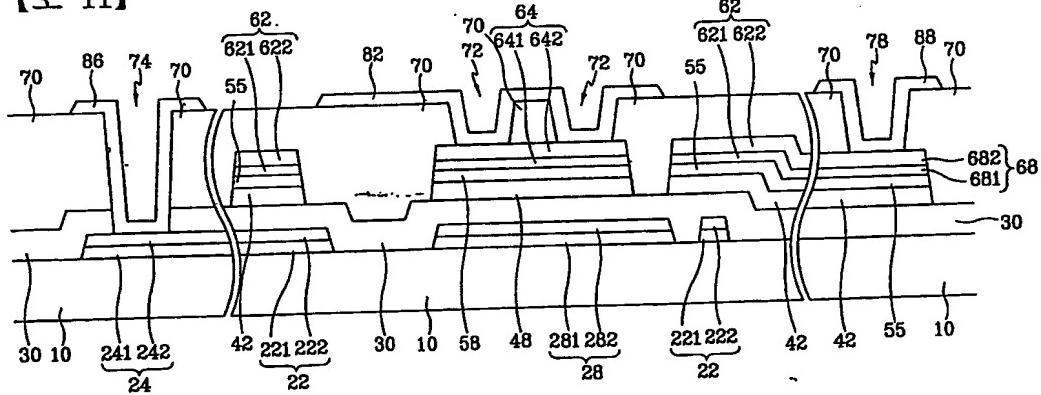


1020000000757

【도 10】



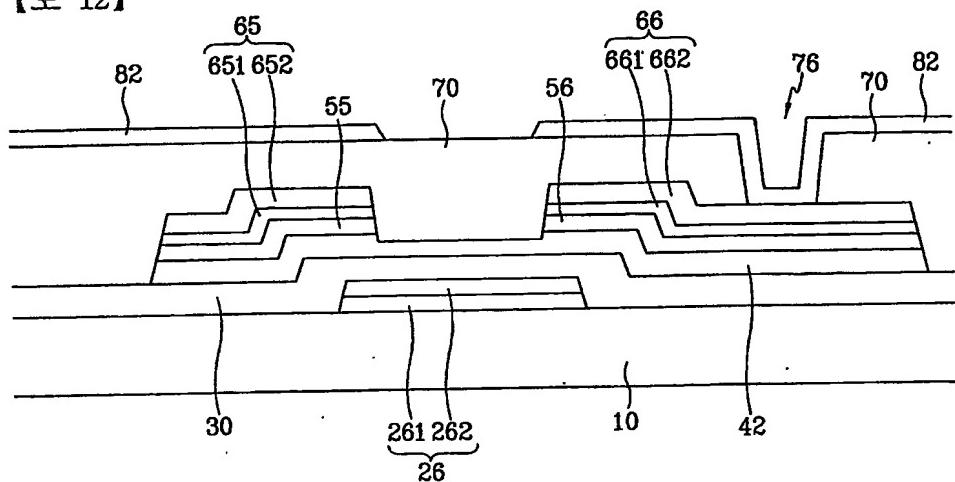
【도 11】



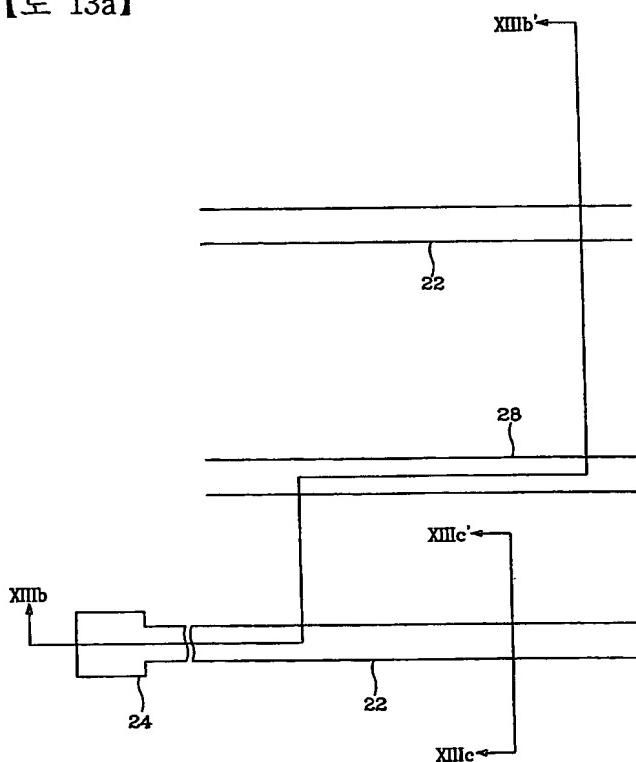
102-30000757

출력 일자: 2003/4/3

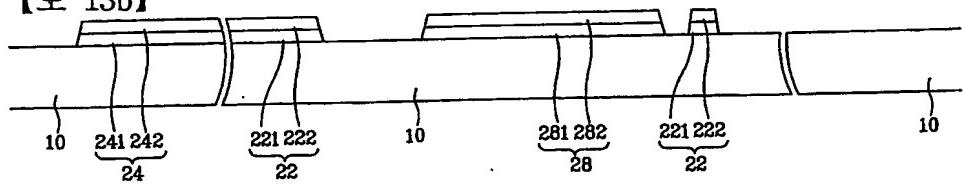
【도 12】



【도 13a】



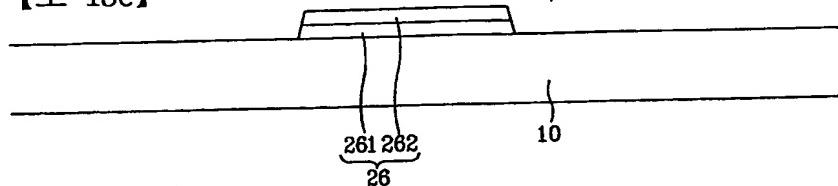
【도 13b】



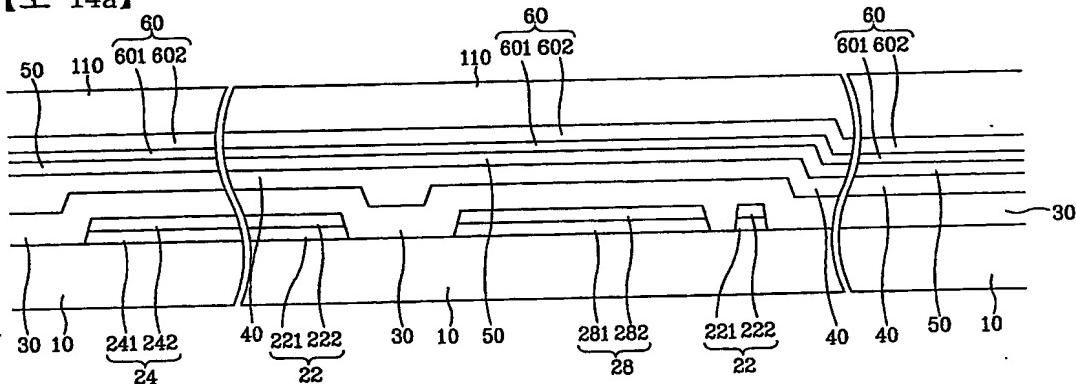
10000000757

출력 일자: 2003/4/3

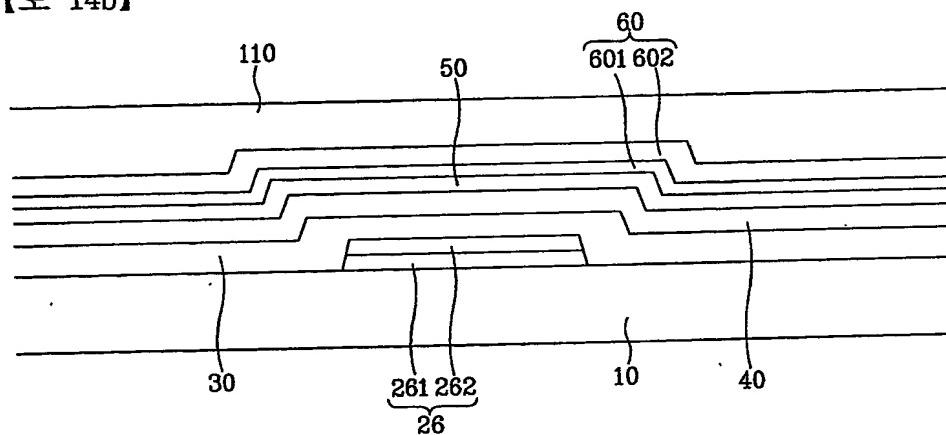
【도 13c】



【도 14a】



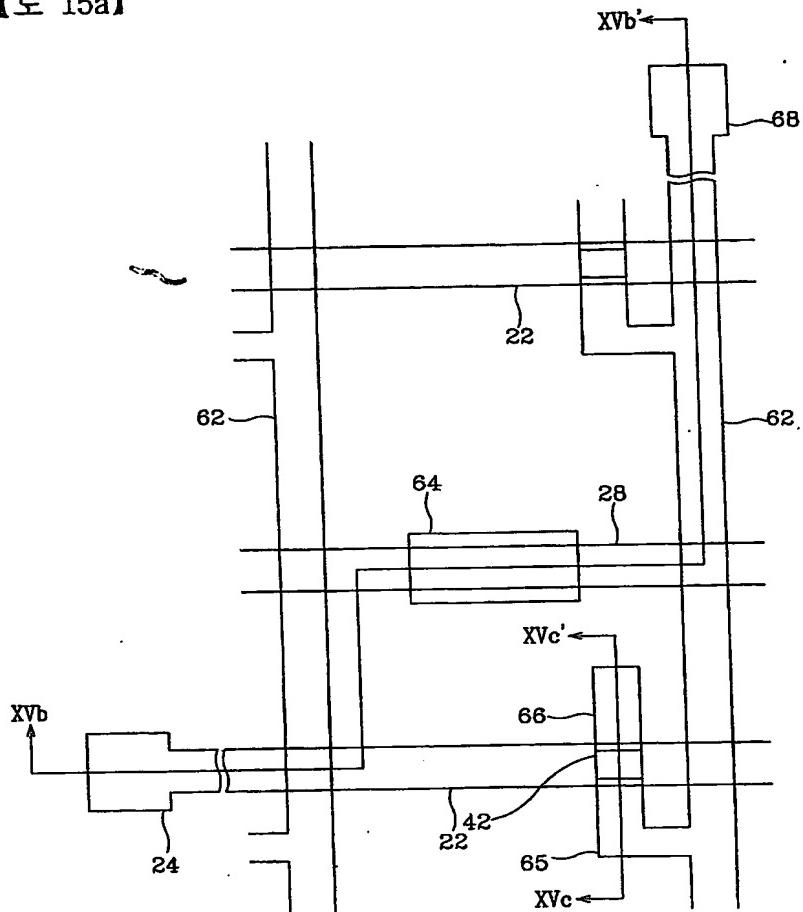
【도 14b】



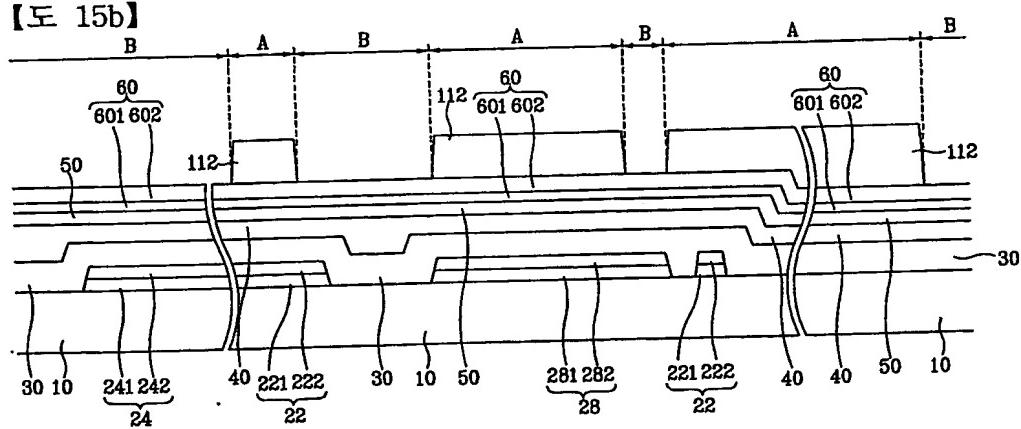
100000757

출력 일자: 2003/4/3

【도 15a】



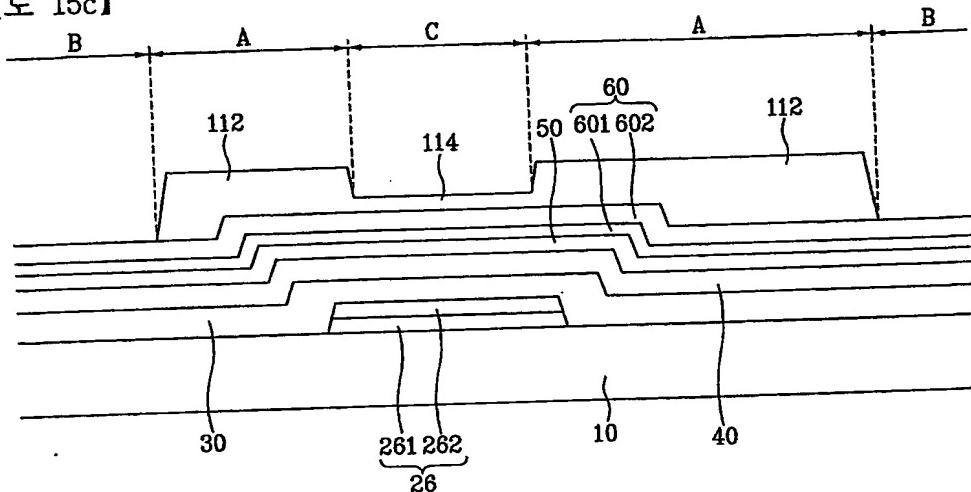
【도 15b】



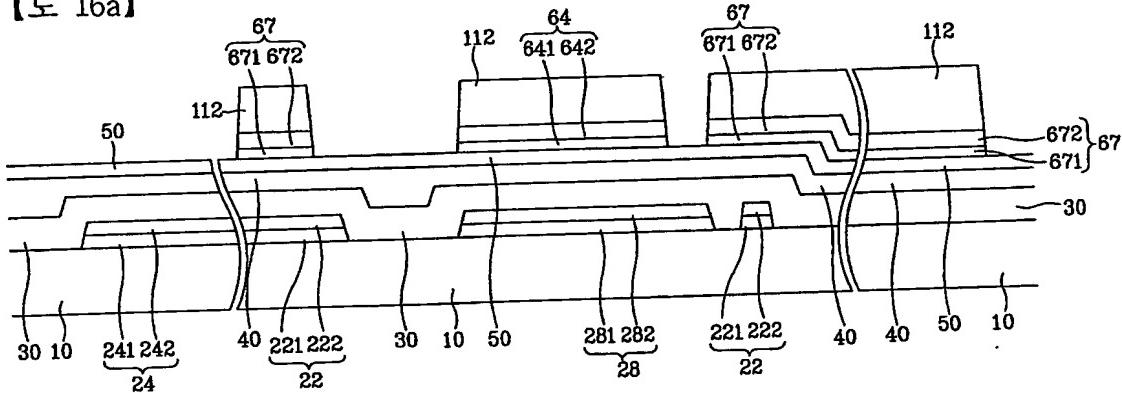
출력 일자: 2003/4/3

102000000757

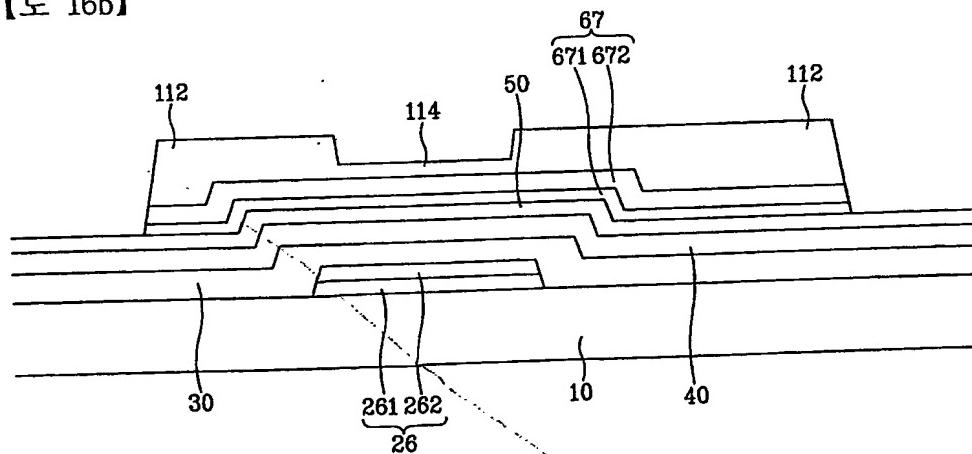
【도 15c】



【도 16a】



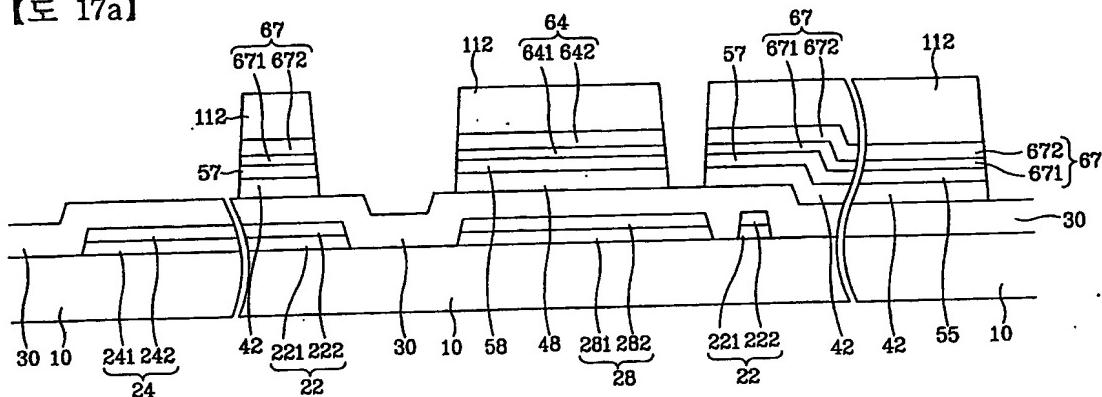
【도 16b】



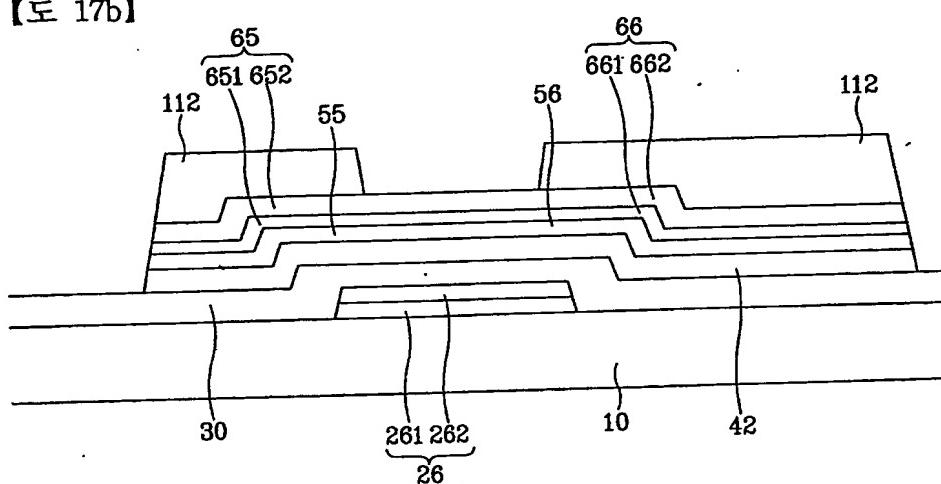
출력 일자: 2003/4/3

102000000757

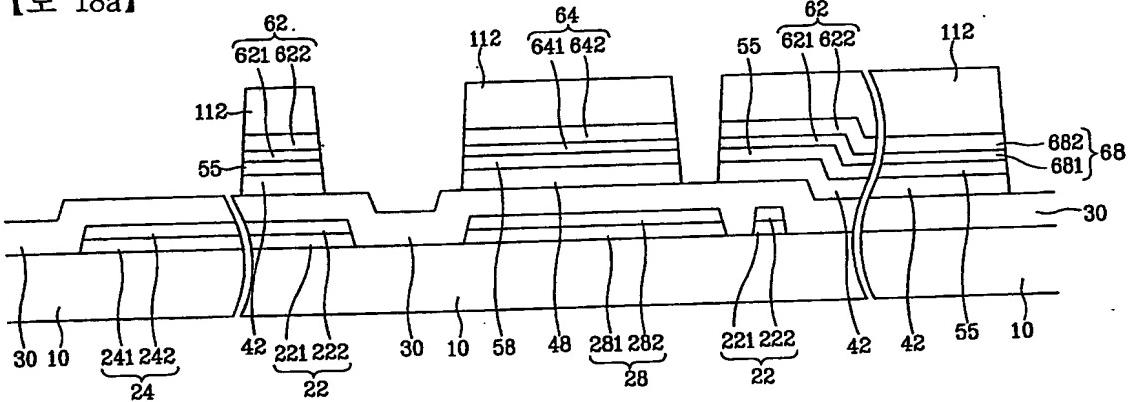
【도 17a】



【도 17b】



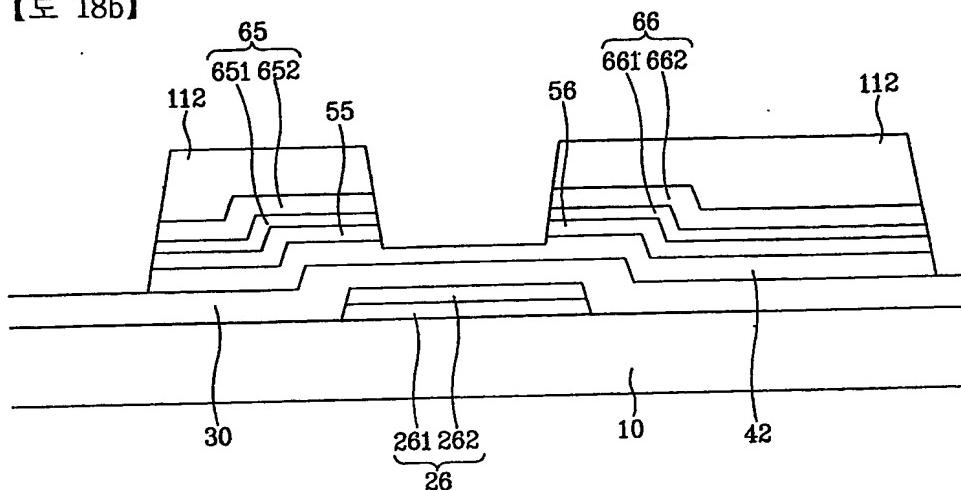
【도 18a】



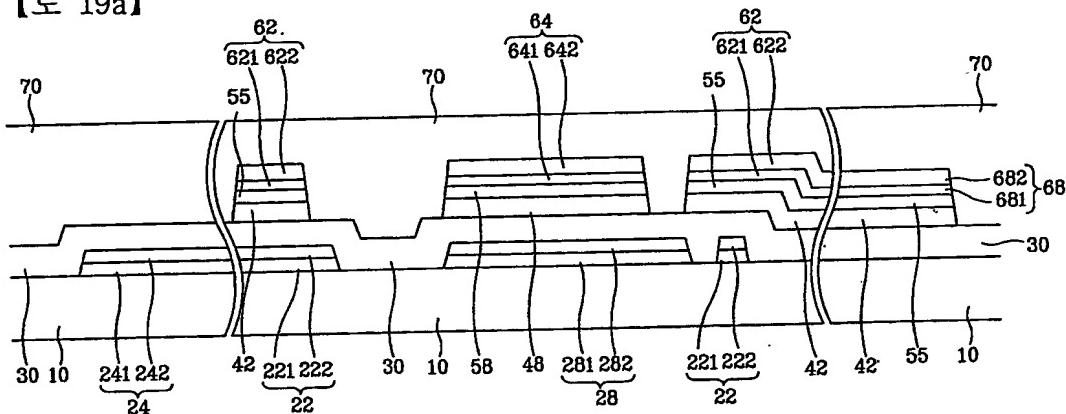
10000000757

출력 일자: 2003/4/3

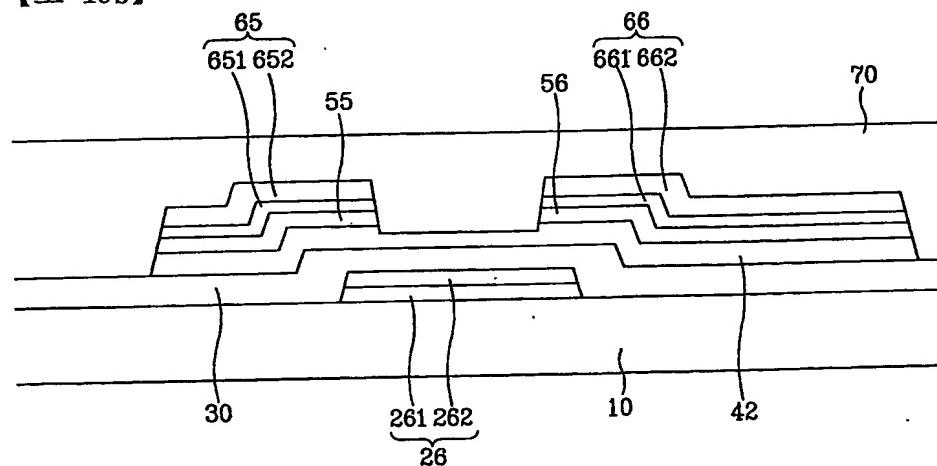
【도 18b】



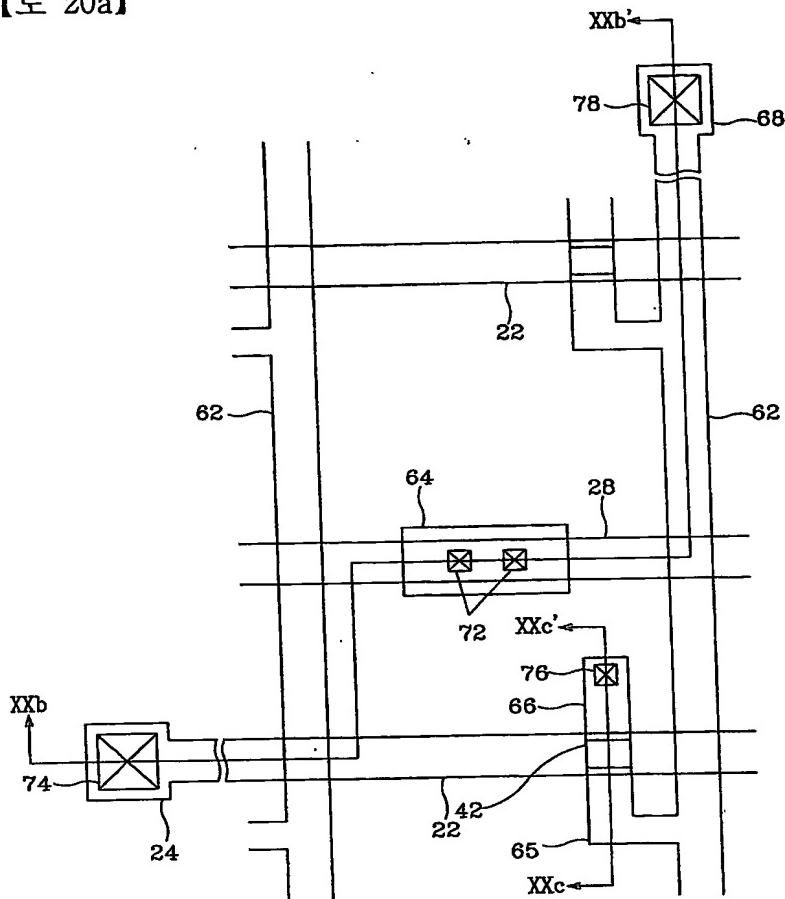
【도 19a】



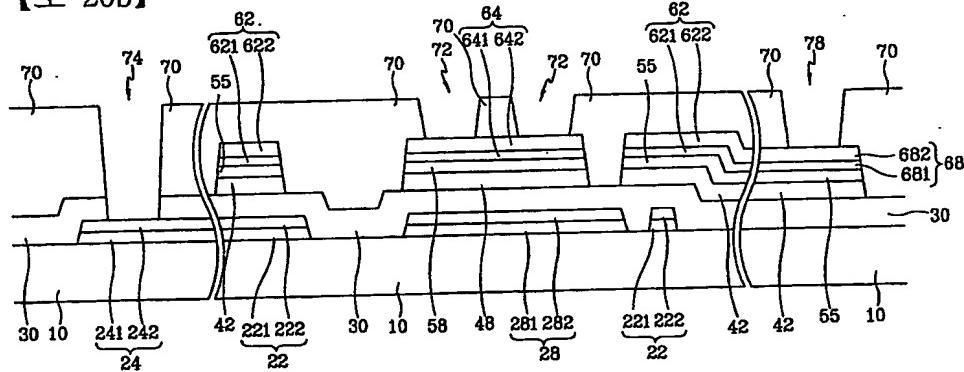
【도 19b】



【도 20a】



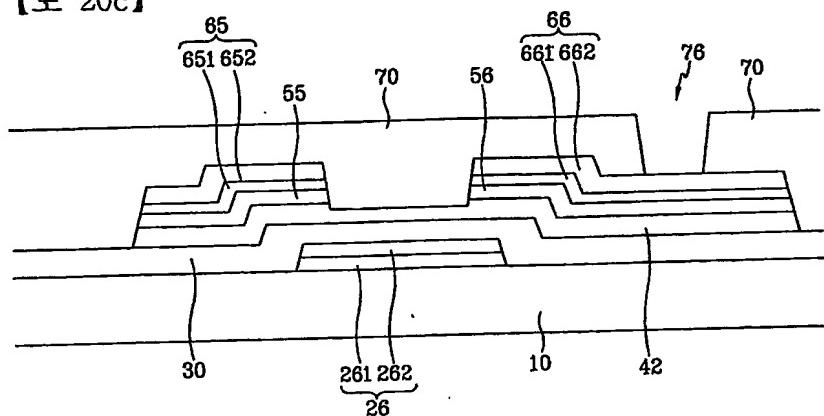
【도 20b】



출력 일자: 2003/4/3

102 0000757

【도 20c】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**